

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-162944
 (43)Date of publication of application : 07.06.2002

(51)Int.Cl. G09G 3/36
 G02F 1/133
 G09G 3/20

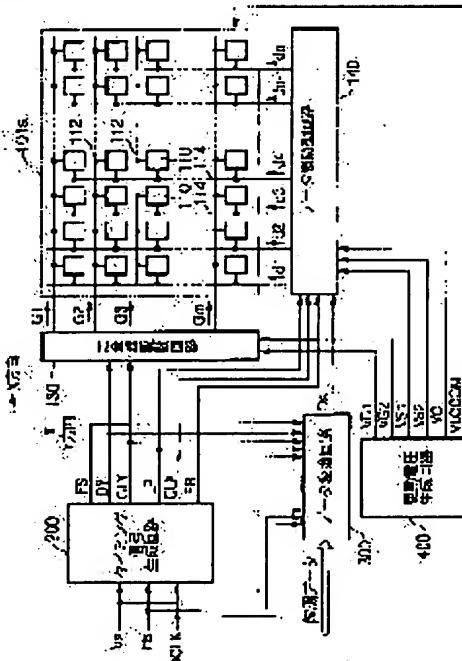
(21)Application number : 2000-361550 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 28.11.2000 (72)Inventor : INOUE AKIRA
 ITO AKIHIKO
 OZAWA YUTAKA
 ISHII MAKOTO

(54) DRIVING METHOD OF OPTOELECTRONIC DEVICE, DRIVING CIRCUIT, OPTOELECTRONIC DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To increase display capacity and to increase the number of gray scales reducing the transfer speed of display elements in the case of conducting gray shades display by subfield driving.

SOLUTION: Plural pixels 110 are arranged at intersections of plural data lines 114 and plural scanning lines 112. The pixels 110 are provided with pixel electrodes and electrooptical elements which are held in the intersection regions of the lines 114 and 112. Driving circuits (130 and 140) of an optoelectronic device conduct the gray shades display by driving the pixels 110 to on and off states in accordance with gray scale data. Each field is divided into plural subfields. A subfield, which becomes the minimum period among the plural subfields, is approximately made equal to the threshold period when optoelectronic material that constitutes the pixels is pulsedwidth-modulated.



LEGAL STATUS

[Date of request for examination] 22.03.2004

[Date of sending the examiner's decision of rejection] 11.04.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-162944

(P2002-162944A)

(43)公開日 平成14年6月7日(2002.6.7)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 C 0 0 6
	5 7 5		5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 G
	6 4 1		6 4 1 E

審査請求 未請求 請求項の数 7 O.L (全 18 頁) 最終頁に統く

(21)出願番号 特願2000-361550(P2000-361550)

(22)出願日 平成12年11月28日(2000.11.28)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 井上 明
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72)発明者 伊藤 昭彦
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74)代理人 100095728
弁理士 上柳 雅善 (外1名)

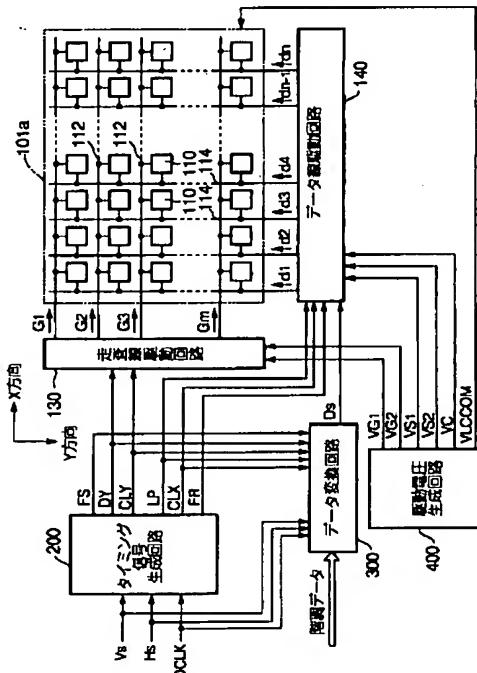
最終頁に統く

(54)【発明の名称】 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

(57)【要約】

【課題】 サブフィールド駆動により階調表示を行う場合において、表示素子の転送速度を低下させて、表示容量の増大及び多階調化を可能とする。

【解決手段】 複数のデータ線 114 と複数の走査線 112 との交差に対応して配設され、画素電極と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学素子とを備える複数の画素 110 を、階調データに従ってオン状態またはオフ状態に駆動することにより階調表示させる電気光学装置の駆動回路 (130、140) であって、各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する前記電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とする。



【特許請求の範囲】

【請求項1】複数のデータ線と複数の走査線との交差に対応して配設され、画素電極と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学素子とを備える複数の画素を、階調データに従ってオン状態またはオフ状態に駆動することにより階調表示させる電気光学装置の駆動方法であって、

各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する前記電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度としたことを特徴とする電気光学装置の駆動方法。

【請求項2】1フィールドを分割した各サブフィールドの期間は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの期間であることを特徴とする請求項1に記載の電気光学装置の駆動方法。

【請求項3】複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、

前記画素電極毎に印加する電圧を制御するスイッチング素子と、

前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学材料と、前記画素電極に対して対向配置された対向電極とからなる画素を駆動する電気光学装置の駆動回路であって、

各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とすると共に、

前記複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、各画素のオン状態またはオフ状態を指示するデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備し、

前記データ信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号であることを特徴とする電気光学装置の駆動回路。

【請求項4】1フィールドを分割した各サブフィールドの期間は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの期間であることを特徴とする請求項3に記載の電気光学装置の駆動装置。

【請求項5】複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、及び前記画素電極に対して対向配置された対向電極を有する画素を有

し、

各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とし、

前記複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、各画素のオン状態またはオフ状態を指示するデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを有すると共に、

前記データ信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号であることを特徴とする電気光学装置。

【請求項6】1フィールドを分割した各サブフィールドの期間は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの期間であることを特徴とする請求項5に記載の電気光学装置。

【請求項7】請求項5または6のいずれかに記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置並びに電子機器に関する。

【0002】

【従来の技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や壁掛けテレビなどに広く用いられている。

【0003】ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光子材料たる液晶とから構成される。

【0004】そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の

容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変化することになる。このため、階調表示することが可能となるのである。

【0005】この際、各画素の液晶層に電荷を蓄積するのは一部の期間でよいため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第3に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0006】

【発明が解決しようとする課題】しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

【0007】そこで、上記問題を解決すべく、電気光学装置、例えば、液晶装置における液晶の駆動にデジタル的な駆動方式として、1フィールドを複数のサブフィールドに分割して各サブフィールドにおいて各画素を階調に応じてオン状態またはオフ状態になるよう制御するサブフィールド駆動方式が提案されている。

【0008】このサブフィールド駆動方式は、液晶に印加する電圧を電圧のレベルではなく、電圧パルスの印加時間を変化させることにより、平均的に液晶に与える電圧（実効電圧）によって、液晶装置の透過率（または反射率）を制御するものであり、電圧レベルは、オンレベルとオフレベルのみである。

【0009】ところで、サブフィールド駆動方式では、1フィールドに複数回、各サブフィールド毎に全画面を書き換えることにより転送速度が増加し、液晶装置の場合には、これに伴いある選択された画素に電圧を書き込む時間（選択時間）が非常に短くなるという問題がある。

【0010】表示画面上のあるラインを選択する選択時間は、例えば、6ビットの階調で1画面の走査線が100ラインの場合に1フィールドに1回しか選択しない通常の電圧変調の場合は、1F/1000であるが、サブフィールド駆動方式では1フィールド期間/（1000×26）となり、通常の電圧変調の場合における選択時間の1/64となる。これでは、十分な書き込み時間

が確保できず、1フィールドにおいて各画素についてオン、オフ電圧の出力される期間の比率が所望の階調表示を行うための比率に到達しないために表示むらを生じるという問題が有った。

【0011】本発明は、このような事情に鑑みてなされたものであり、サブフィールド駆動により階調表示を行う場合において、表示素子の転送速度を低下させて、表示容量の増大及び多階調化が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、複数のデータ線と複数の走査線との交差に対応して配設され、画素電極と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学素子とを備える複数の画素を、階調データに従ってオン状態またはオフ状態に駆動することにより階調表示させる電気光学装置の駆動方法であって、各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する前記電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度としたことを特徴とする。

【0013】また、第1の発明の一態様においては、1フィールドを分割した各サブフィールドの期間は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの期間となっている。

【0014】なお、本発明において、1フィールドとは、従来において、水平走査信号及び垂直走査信号に同期して水平走査及び垂直走査を行うことにより、1枚のラスタ画像を形成するのに要する期間を意味している。したがって、ノンインターレース方式などにおける1フレームも、本発明にいう1フィールドに相当する。

【0015】第1の発明によれば、複数のデータ線と複数の走査線との交差に対応して配設され、画素電極と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学素子とを備える複数の画素が、階調データに従ってオン状態またはオフ状態に駆動することにより階調表示される。この場合において各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドが、前記画素を構成する前記電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とされる。これによりサブフィールド駆動により階調表示を行う場合において、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したがって、表示容量の増大及び多階調化が可能となる。また、第2の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、

前記画素電極毎に印加する電圧を制御するスイッチング素子と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学材料と、前記画素電極に対して対向配置された対向電極とからなる画素を駆動する電気光学装置の駆動回路であって、各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とすると共に、前記複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、各画素のオン状態またはオフ状態を指示するデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備し、前記データ信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号であることを特徴とする。また、第2の発明の一態様においては、1フィールドを分割した各サブフィールドの期間は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの期間となっている。

【0016】第2の発明によれば、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に印加する電圧を制御するスイッチング素子と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学材料と、前記画素電極に対して対向配置された対向電極とからなる画素が、各フィールドを、1フィールドについて複数のサブフィールドに分割した各サブフィールドにおいて階調データに従ってオン状態またはオフ状態に駆動され、階調表示される。この場合において、前記複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号が、走査線駆動回路により前記各走査線に供給され、各画素のオン状態またはオフ状態を指示するデータ信号が、データ線駆動回路によりそれぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給される。

【0017】ここで、各フィールドを、1フィールドについて分割された複数のサブフィールドのうち最小期間となるサブフィールドが、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とされる。これにより、サブフィールド駆動により階調表示を行う場合において、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したがって、表示容量の増大及び多階調化が可能となる。

【0018】また、前記データ信号は、1フィールド内

において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号とされる。これにより、画素への印加信号がオン及びオフレベルのみからなるので、素子特性や配線抵抗等の不均一性に起因する表示むらが抑制される結果、高品質かつ高精細な階調表示が可能となる。また、第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、及び前記画素電極に対して対向配置された対向電極を有する画素を有し、各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とし、前記複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、各画素のオン状態またはオフ状態を指示するデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを有すると共に、前記データ信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号であることを特徴とする。また、第3の発明の一態様においては、1フィールドを分割した各サブフィールドの期間は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの期間となっている。

【0019】第3の発明によれば、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学材料及び前記画素電極に対して対向配置された対向電極を有する画素が、各フィールドを、1フィールドについて複数のサブフィールドに分割した各サブフィールドにおいて階調データに従ってオン状態またはオフ状態に駆動され、階調表示される。この場合において、前記複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号が、走査線駆動回路により前記各走査線に供給され、各画素のオン状態またはオフ状態を指示するデータ信号が、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、データ線駆動回路により当該画素に対応するデータ線に供給される。

【0020】ここで、各フィールドを、1フィールドについて分割された複数のサブフィールドのうち最小期間となるサブフィールドが、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度とされる。これにより、サブフィールド駆動により階

調表示を行う場合において、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したがって、表示容量の増大及び多階調化が可能となる。また、前記データ信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号とされる。これにより、画素への印加信号がオンおよびオフレベルのみからなるので、素子特性や配線抵抗等の不均一性に起因する表示むらが抑制される結果、高品質かつ高精細な階調表示が可能となる。

【0021】第4の発明に係る電子機器にあっては、上記電気光学装置を備えているので、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したがって、表示容量の増大及び多階調化が可能となる。

【0022】また、画素への印加信号がオンおよびオフレベルのみからなるので、素子特性や配線抵抗等の不均一性に起因する表示むらが抑制される結果、高品質かつ高精細な階調表示が可能となる。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。まず、本実施形態に係る電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、後述するように素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、本実施形態に係る電気光学装置では、素子基板として半導体基板が用いられ、ここに、画素を駆動するトランジスタとともに、周辺駆動回路などが形成されたものである。本発明の実施の形態に係る電子光学装置の電気的構成の説明に先立ち、この電子光学装置に適用されるサブフィールド駆動方式について説明する。

【0024】本発明のサブフィールド駆動方式は、複数のデータ線と複数の走査線との交差に対応して配設され、画素電極と、前記複数のデータ線と複数の走査線の交差領域に挟持される電気光学材料とを備える複数の画素を、階調データに従ってオン状態またはオフ状態に駆動することにより階調表示させるものであって、各フィールドを、1フィールドについて複数のサブフィールドに分割し、該複数のサブフィールドのうち最小期間となるサブフィールドを、前記画素を構成する前記電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度としたことを特徴としている。

【0025】TN型液晶を始めとする通常の液晶は、印加する実効電圧を変化させることにより、液晶装置の透過率（または反射率）を変化させることにより階調表示

を行う。

【0026】電気光学装置としての液晶装置において、液晶に印加される実効電圧と液晶装置の透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリブラックモードを例にとれば、図7に示すようになる。同図に示すように、各階調に見合った実効電圧を液晶に印加することにより階調表示を実現している。また、通常の液晶は、図7に示すように印加電圧である実効電圧がある程度、大きくなないと、透過率が変化しない、いわゆる閾値を有している。

【0027】図8は、1000クロックの時間幅を1フィールドに相当させた場合における液晶の書き込みパルス幅に対する相対透過率（反射率）を示している。1フィールドが1/60秒の場合には、1クロック（clk）は、16.7μsになる。この特性は、図7に示した特性の液晶を3.2Vの電圧でパルス幅変調した場合の相対透過率（反射率）の実測データをプロットしたものである。図8から明らかのように、閾値特性を有する液晶をパルス幅変調して駆動する場合においても、階調表示が可能であることが判る。

【0028】また、液晶をパルス幅変調して駆動する場合においてもその応答は実効電圧応答に近く、強誘電性液晶（FLC）等とは異なり線形の階調特性ではないこと、及び閾値を有することが判る。図9は、液晶に印加する書き込みパルス幅に対する階調データの特性を示し、同図では、階調データは等分割の64階調としている。また、図10は、図9における階調データが小さい部分を拡大した図である。図9及び図10から、各階調に対応する書き込みパルス幅（PW）を求めてその関係を示したものが図12である。図12に示す各階調に対応するパルス幅（PW）を1フィールドを複数のサブフィールドに分割した場合の各サブフィールドに相当する期間の組み合せで実現するために、図15に示すSF0～SF7の8個のサブフィールドで1フィールドを構成した。全てのサブフィールドSF0～SF7の合計クロック数は1フィールドの時間に対応する1000クロックにしている。

【0029】本発明に適用されるサブフィールド駆動方式に使用される、図15に示す各サブフィールドに割り当てられた書き込みパルス幅は、透過率（反射率）が変化し始める閾値近辺の書き込みパルス幅から構成されていることが特徴である。具体的には各フィールドを、1フィールドについて分割された複数のサブフィールドのうち最小期間となるサブフィールドが、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度としている点である。これにより、サブフィールド駆動により階調表示を行う場合において、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したが

って、表示容量の増大及び多階調化が可能となる。

【0030】図8から判るようにこの液晶の閾値は80～100クロック近辺にある。

【0031】また、最大の書き込みパルス幅が割り当てられたサブフィールドSF7の期間（クロック数）は、最小の書き込みパルス幅が割り当てられたサブフィールドSF0の期間（クロック数）と、次に小さい書き込みパルス幅が割り当てられたサブフィールドSF1の期間（クロック数）との和より小さくなるように設定されている。さらに、最大の書き込みパルス幅が割り当てられたサブフィールドSF7の期間（クロック数）は閾値の書き込みパルス幅の2.5倍以下に設定される。

【0032】図17は、図15に示すサブフィールドSF0～SF7の各々に割り当てられた書き込みパルス幅に相当するクロック数を組み合わせた変換データと書き込みパルス幅との関係を示す図である。同図では、変換データは8ビットの2進数で表現しており、LSBはサブフィールドSF0に相当し、MSBはサブフィールドSF7に相当する。1フィールドが8個のサブフィールドで構成されているので、全部で変換データ、すなわち階調データは256通りとなる。図17において、例えば、変換データ「00000010」は、サブフィールドSF1に相当するビットが「1」となっており、この変換データは書き込みパルス幅（PW）は、図15からサブフィールドSF1に割り当てられた書き込みパルス幅のクロック数は100であるので、変換データ「0000010」に対する書き込みパルス幅は「100」となる。

【0033】また、変換データ「00000101」はサブフィールドSF0、SF2に相当するビットが「1」となっており、この変換データは書き込みパルス幅（PW）は、図15からサブフィールドSF0、SF2に割り当てられた書き込みパルス幅のクロック数はそれぞれ、81、109であるので、変換データ「00000101」に対する書き込みパルス幅は「190」（ $81 + 109 = 190$ ）となる。図17と図12とを比較し、図12における各階調に対応する書き込みパルス幅に最も近い書き込みパルス幅を図17から選択して図12と同様に階調0から階調63まで割り当てることにより、階調と書き込みパルス幅との関係を示したのが図13である。また、図12と図13における各階調における書き込みパルス幅の差を図14に示す。図12、

図13、図14から図12で示す各階調の書き込みパルス幅を図15で示す8個のサブフィールドSF0～SF7の組み合せではなく、忠実に再現できることが判る。この場合に6ビットの階調の画像データを表現するために8個のサブフィールドSF0～SF7を用いる必要があるが、1つのサブフィールドの長さは、2のべき乗で階調表示していた場合に比べて大幅な時間増となる。具体的には、サブフィールドSF0を例にとると、その期

間、すなわち、サブフィールドSF0に割り当てられた書き込みパルス幅を示すクロック数は、81で、1フィールドに1000クロックを割り当てているので、サブフィールドSF0に相当する時間は、 $(81 / 1000) \times 1$ フィールド期間 = 0.081 × 1 フィールド期間となる。

【0034】これに対して、2のべき乗で階調表示する場合には $(1 / 64) \times 1$ フィールド期間 = 0.0156 × 1 フィールド期間となり、8個のサブフィールドSF0～SF7の組み合せで階調表示した場合の1つのサブフィールドの長さは、2のべき乗で階調表示していた場合に比べて5倍以上となる。このように、サブフィールド駆動より階調表示を行う液晶パネルにおけるこの効果は階調数が増加する程、顕著となる。

【0035】図11に示すような、書き込みパルス幅に対する階調データ（透過率）特性、すなわち閾値を有し、かつ透過率の変化領域において透過率の変化量が書き込みパルス幅に対して線形な特性を有する電気光学材料を用いて本発明のサブフィールド駆動による階調表示を行う場合においてもデータの転送速度を大幅に増加させることができ、表示容量の増大及び多階調化が図れる。

【0036】図11に示すような特性を有する表示素子を従来のサブフィールド駆動方式により階調表示しようとすると、閾値分を差し引いた期間でサブフィールドを構成することとなるので、さらに、最小のサブフィールド期間は短くなる。

【0037】これに対して図11に示すような特性を有する表示素子を本発明のサブフィールド駆動方式により駆動する場合において、図16に示すようなサブフィールド構成にすれば、全ての階調表示が可能となり、最小のサブフィールド期間も5倍以上、長くすることができる。

【0038】尚、図18は後述する電気光学装置の駆動回路において使用されるルックアップテーブルの内容を示す図である。

【0039】次に、本発明の実施の形態に係る電気光学装置の電気的構成を図1に示す。同図において、電気光学装置は、走査線駆動回路130と、データ線駆動回路140と、タイミング信号生成回路200と、データ変換回路300と、駆動電圧生成回路400とを有している。

【0040】タイミング信号生成回路200は、図示せぬ上位装置から供給される垂直走査信号Vs、水平走査信号Hsおよびドットクロック信号DCLKにしたがって、次に説明する各種のタイミング信号やクロック信号などを生成する回路である。

【0041】タイミング信号生成回路200により生成される信号として、第1に、フィールドスタート信号FSは、フィールドの最初に出力されるパルス信号であ

る。第2に、スタートパルスDYは、1フィールドを後述するように分割した各サブフィールドにおいて、最初に出力されるパルス信号である。第3に、クロック信号CLYは、走査側(Y側)の水平走査期間を規定する信号である。第4に、ラッチパルスLPは、水平走査期間の最初に出力されるパルス信号であって、クロック信号CLYのレベル遷移(すなわち、立ち上がりおよび立ち下がり)時に出力されるものである。第5に、クロック信号CLXは、いわゆるドットクロックを規定する信号である。第6に、交流化駆動信号FRは、1フィールド(1フレーム)毎にレベル反転して、液晶素子を交流駆動するために用いられる信号である。

【0042】また、駆動電圧生成回路400は、走査信号を生成する電圧VG1、VG2、データ信号を生成する電圧VS1、VS2、VC、対向電極に印加される対向電極電圧VLCOMを出力する。電圧VG1は走査信号におけるハイレベルの電圧レベルを規定する電圧、VG2は走査信号におけるローレベルの電圧レベルを規定する電圧である。

【0043】電圧VS1は、交流化駆動信号FRがハイレベルのとき液晶層に電圧VCを基準にして正極性のオン電圧信号として出力されるデータ信号の電圧レベルであり、電圧VS2は、交流化駆動信号FRがローレベルのとき液晶層に電圧VCを基準にして負極性のオン電圧として出力されるデータ信号の電圧レベルである。電圧VCは交流化駆動信号FRの状態に関わらずオフ電圧として出力されるデータ信号の電圧レベルである。

【0044】一方、素子基板101上における表示領域101aには、複数本の走査線112が、図においてX(行)方向に延在して形成され、また、複数本のデータ線114が、Y(列)方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列している。ここで、説明の便宜上、本実施形態では、走査線112の総本数をm本とし、データ線114の総本数をn本として(m、nはそれぞれ2以上の整数)、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0045】なお、画素110の具体的な構成としては、例えば、図2(a)に示されるものが挙げられる。この構成では、トランジスタ(MOS型FET)116のゲートが走査線112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟まれて液晶層が形成されている。ここで、対向電極108は、後述するように、實際には画素電極118と対向するように対向基板に一面に形成される透明電極である。

【0046】なお、対向電極108の電位には、図1の駆動電圧生成回路で発生させた対向電極電圧VLCOM

Mが与えられる。また、画素電極118と接地電位GNとの間においては蓄積容量119が形成されて、液晶層に蓄積される電荷のリークを防止している。

【0047】ここで、図2(a)に示される構成では、トランジスタ116として一方のチャネル型のみが用いられているために、トランジスタ116のゲートードライン間などに形成される寄生容量による画素電極118への印加電圧の降下を補償するオフセット電圧を考慮する必要があるが、図2(b)に示されるように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、このようなオフセット電圧の影響をキャンセルすることができ、対向電極電位VLCOMは、信号線に与えるオフ電位VCと同じ電圧レベルとすることができますため、回路構成をより簡略化することが可能となる。

【0048】ただし、この相補型構成では、走査信号として互いに逆位相の電圧レベルを供給する必要が生じるため、1行の画素110に対して走査線112a、112bの2本が必要となる。

【0049】なお、画素の構成は、図2(a)および(b)に示したものに限られるものではない。例えば、各画素内に、SRAM等のメモリセルをトランジスタや抵抗等を用いて構成し、各メモリセルに書き込んだHレベル又はLレベルのデータに応じて各画素をオン・オフ駆動するようにしてもよい。かかる場合には、後述するような各サブフィールド毎に全ての画素をアドレスする必要がないという利点がある。すなわち、全ての走査線に対して走査信号を供給するのではなく、メモリに記録されたデータを書き換える画素に接続された走査線に対してのみ走査信号を印加すればよいのである。

【0050】説明を再び図1に戻す。走査線駆動回路130は、いわゆるYシフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルスDYをクロック信号CLYにしたがって転送し、走査線112の各々に走査信号G1、G2、G3、…、Gmとして順次供給する回路である。

【0051】また、データ線駆動回路140は、ある水平走査期間において駆動データ信号Dsをデータ線114の本数に相当するn個順次ラッチした後、ラッチしたデータと交流化信号FRとの関係から決定される電圧レベルを、次の水平走査期間において、それぞれ対応するデータ線114にデータ信号d1、d2、d3、…、dnとして一斉に供給する回路である。ここで、データ線駆動回路140の具体的な構成は、図3(a)に示される通りである。

【0052】すなわち、データ線駆動回路140は、Xシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430とから構成されている。このうち、Xシフトレジスタ1410は、水平走査期間の最初に供給されるラッチパルスLPをクロック信号C

L_X にしたがって転送し、ラッチ信号 $S_1, S_2, S_3, \dots, S_n$ として順次供給するものである。次に、第1のラッチ回路 1420 は、駆動データ信号 D_s をラッチ信号 $S_1, S_2, S_3, \dots, S_n$ の立ち下がりにおいて順次ラッチする回路である。

【0053】そして、第2のラッチ回路 1430 は、第1のラッチ回路 1420 によりラッチされた駆動データ信号 D_s の各々をラッチパルス L_P の立ち下がりにおいて一斉にラッチし、マルチブレクサ回路 1440 に信号 $L_1, L_2, L_3, \dots, L_n$ として出力するものである。

【0054】マルチブレクサ回路 1440 には、駆動電圧発生回路から電圧 V_{s1}, V_{s2}, V_c が、タイミング信号生成回路 200 から交流化駆動信号 F_R が、第2ラッチ回路 1430 から信号 $L_1, L_2, L_3, \dots, L_n$ が、それぞれ供給される。このマルチブレクサ回路 1440 は、交流化駆動信号 F_R と第2ラッチ回路 1430 の出力信号 L_j (j は $0 \leq j \leq n$ を満たす整数) に基づいて、電圧 V_{s1}, V_{s2} 及び V_c のうちのいずれかの電圧を選択し、選択した電圧レベルのデータ信号 d_j をデータ線 114 に供給する。図 3 (b) は、マルチブレクサ回路 1440 の機能を示す真理値表である。同図に示すように、マルチブレクサ回路 1440 は、第2ラッチ回路 1430 から L レベルの信号 L_j が供給された場合には、交流化駆動信号 F_R のレベルに関わらず、電圧 V_c のデータ信号 d_j をデータ線に供給する。

【0055】本実施形態に係る電気光学装置では、液晶層に印加される電圧を、画素をオン状態にする V_H (電圧 V_{S1} または V_{S2} に相当する。) またはオフ状態にする V_L (電圧 V_C に相当する。) のみとする。液晶層に電圧 V_H を印加する期間と、電圧 V_L を印加する期間とを区切るために、1 フィールド (1 f) を 8 つの期間に分割する。この分割した 8 つの期間をサブフィールド $S_F 0 \sim S_F 7$ と称することにする。

【0056】図 7 乃至図 17 を参照して既述したように、サブフィールド $S_f 1 \sim S_f 7$ の期間を設定して、階調データに応じた書き込みを行う構成とすると、当該液晶層に印加される電圧は V_H (H (ハイ) レベル) および V_L (L (ロー) レベル) の 2 値であるにもかかわらず、各透過率に対応する階調表示が可能となる。

【0057】さて、このようにサブフィールド $S_F 0 \sim S_F 7$ 毎に、階調に応じて H レベルまたは L レベルを書き込むためには、画素に対応する階調データを何らかの形で変換する必要がある。この変換を行うものが、図 1 におけるデータ変換回路 300 である。ここで、データ変換回路 300 の具体的な構成は、図 4 に示される通りである。すなわち、データ変換回路 300 は、垂直走査信号 V_s 、水平走査信号 H_s およびドットクロック信号 $DCLK$ に同期して供給され、かつ、画素毎に対応する

6 ビットの階調データ $D_0 \sim D_5$ を、サブフィールド $S_F 0 \sim S_F 7$ 毎に駆動データ信号 D_s に変換する構成となっている。

【0058】データ変換回路 300 は、書き込み制御回路 3010 と、読み出し制御回路 3020 と、ルックアップテーブル 3030 と、フレームメモリ 3040 とを有している。

【0059】ルックアップテーブル 3030 は、図 18 に示す階調と変換データとの対応関係を示すテーブルが記憶されており、入力された 6 ビットの階調データ $D_i 0 \sim D_i 5$ を、上記テーブルを参照して 8 ビットの変換データ $D_m 0 \sim D_m 7$ に変換する。

【0060】図 18 は 0 階調から 63 階調までの 64 階調の各階調と、これに対応する書き込みパルス幅との関係を示す図 13 のテーブルにおいて、各階調に対応する書き込みパルス幅を図 17 に示す変換データと書き込みパルス幅との関係を示すテーブルから求めてまとめたテーブルである。階調はテーブルでは便宜上、10 進表示で示しているが、上述したように、6 ビットの階調データ $D_i 0 \sim D_i 5$ で指定される。

【0061】書き込みパルス制御回路 3010 は、カウンタ等を内蔵し、垂直走査信号 V_s 、水平走査信号 H_s およびドットクロック信号 $DCLK$ に基づいてフレームメモリ 3040 に変換データを書き込む際に必要な書き込みアドレス及び書き込みクロックを生成し、フレームメモリ 3040 に出力する。具体的には、水平同期信号 H_s をリセット信号に、ドットクロック信号 $DCLK$ をクロック信号にしてカウンタを動作させ、その出力を X アドレスとする。また、垂直走査信号 V_s をリセット信号に、水平同期信号 H_s をクロック信号にしてカウンタを動作させ、その出力を Y アドレスとする。ここで X 、 Y は図 1 における表示領域 $101a$ における X (行)、 Y (列) 方向の X 、 Y と同義であり、 X アドレス、 Y アドレスにより特定の画素の階調データに対応する変換データが格納されるメモリ領域が指定される。各画素について、順次、変換データが所定のメモリエリアに書き込まれる。

【0062】また、読み出し制御回路 3020 は、カウンタ等を内蔵し、フィールドスタート信号 FS 、スタートパルス DY 、クロック信号 $C LX, CL Y$ 、ラッチパルス L_P に基づいてフレームメモリ 3040 から変換データを読み出す際に必要な読み出しアドレス及び読み出しクロックを生成し、フレームメモリ 3040 に出力する。具体的には、フィールドスタート信号 FS をリセット信号に、スタートパルス DY をクロック信号にしてカウンタを動作させ、その計数値により 1 フィールドにおいて何番目のサブフィールドであるかが特定される。

【0063】また、スタートパルス DY をリセット信号に、ラッチパルス L_P (または、クロック信号 $CL Y$) をクロック信号にしてカウンタを動作させ、その計数値

によりどの走査線112に該当するのかが特定される。

【0064】さらに、ラッチパルスLPをリセット信号に、クロック信号CLXをクロック信号にしてカウンタを動作させ、その計数値によりどのデータ線114に該当するのかが特定される。このように、各サブフィールド毎に各画素について、順次、所定のメモリエリアより駆動データ信号Dsが読み出され、出力される。

【0065】なお、この駆動データ信号Dsについては、走査線駆動回路130およびデータ線駆動回路140における動作に同期して出力する必要があるので、データ変換回路300には、フィールドスタート信号FSと、スタートパルスDYと、水平走査に同期するクロック信号CLYと、水平走査期間の最初を規定するラッチパルスLPと、ドットクロック信号に相当するクロック信号CLXとが供給されている。

【0066】また、上述したように、データ線駆動回路140では、ある水平走査期間において、第1のラッチ回路1420が点順次的に駆動データ信号Dsをラッチした後、次の水平走査期間において、第2のラッチ回路1430が、ラッチパルスLPに応じて第1のラッチ回路1420の保持データを一斉にラッチし交流化信号FRとの論理状態により判断される電圧レベルをデータ信号d1、d2、d3、…、dnとして一斉に各データ線114に供給する構成となっているので、データ変換回路300は、走査線駆動回路130およびデータ線駆動回路140における動作と比較して、1水平走査期間だけ先行するタイミングで駆動データ信号Dsを出力する構成となっている。

【0067】なお、以上の実施形態において、走査線駆動回路130およびデータ線駆動回路140（またはこれらのうちのいずれか一方）は、素子基板に画素110内のトランジスタ116とともに形成されるトランジスタによって構成されることが好ましい。また、素子基板を半導体基板とした場合には、トランジスタはMOSトランジスタ、ガラス等の絶縁基板を用いる場合は薄膜トランジスタとして形成される。

【0068】次に、上記実施形態に係る電気光学装置の動作について説明する。図5は、この電気光学装置の動作を説明するためのタイミングチャートである。

【0069】まず、交流化駆動信号FRは、1フィールド(1f)毎にレベル反転している。一方、スタートパルスDYは、上述したよう1フィールド(1f)を、図15に示す書き込みパルス幅に応じた間に分割されたサブフィールドの開始時に供給される。

【0070】サブフィールドSf1の開始を規定するスタートパルスDYが供給されると、走査線駆動回路130（図1参照）におけるクロック信号CLYにしたがった転送によって、走査信号G1、G2、G3、…、Gmが期間(1Va)に順次出力される。なお、期間(1Va)は、最も短いサブフィールドであるSF0の期間と

ほぼ同等の期間に設定されている。

【0071】さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がりつてから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、サブフィールドの最初にスタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されることになる。

【0072】そこで、このラッチパルスLPの1ショット(G0)が供給された場合について検討してみる。まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140（図3参照）におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、Snが水平走査期間(1H)に順次出力される。なお、ラッチ信号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

【0073】この際、図3における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への駆動データ信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への駆動データ信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110への駆動データ信号Dsをラッチする。

【0074】これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の駆動データ信号Dsが、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データDi0～Di5を駆動データ信号Dsに変換して出力することは言うまでもない。

【0075】次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1の

ラッチ回路1420によって点順次的にラッチされた駆動データ信号D_sをラッチし、交流化信号F_Rとの論理状態により判断される電圧レベルをデータ線114の各々にデータ信号d₁、d₂、d₃、…、d_nとして一齊に供給する。このため、上から数えて1行目の画素110においては、データ信号d₁、d₂、d₃、…、d_nの書きが同時に行われることとなる。

【0076】この書き込みと並行して、図1において上から2本目の走査線112との交差に対応する画素1行分の駆動データ信号D_sが、第1のラッチ回路1420により点順次的にラッチされる。

【0077】そして、以降同様な動作が、m本目の走査線112に対応する走査信号G_mが出力されるまで繰り返される。すなわち、ある走査信号G_i（iは、1≤i≤mを満たす整数）が出力される1水平走査期間（1H）においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d₁～d_nの書き込みと、（i+1）本目の走査線112に対応する画素110の1行分に対する駆動データ信号D_sの点順次的なラッチとが並行して行われることになる。なお、画素110に書き込まれたデータ信号は、次のサブフィールドS_F1における書き込みまで保持される。

【0078】以下同様な動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。ただし、データ変換回路300（図1参照）は、階調データD_{i0}～D_{i5}から駆動データ信号D_sへの変換については、図18の内容を有するルックアップテーブル3030が参照される。

【0079】さらに、1フィールド経過後、交流化駆動信号F_RがHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。

【0080】ある画素110に指定された6ビットの階調データD_{i0}～D_{i5}に対応する変換データが書き込まれる場合のタイミングの具体例を図6に示す。例えば、図1における表示領域101aにおけるi行j列における画素の階調データが「000101」（10進で5）であるとする。この同図に示すように、データ変換回路300に6ビットの階調データ「000101」（10進で5）が入力されると、ルックアップテーブル3030で、すなわち、図18のテーブルを参照して、階調データ「000101」は8ビットの変換データ「00001100」に変換され、フレームメモリ3040の指定されたアドレスのメモリエリアに書き込まれる。

【0081】ここで8ビットの変換データのうちLSBはサブフィールドS_F0、MSBはサブフィールドS_F7に相当する。したがって、i行j列における画素の階調データに対応する8ビットの変換データがフレームメモリ3040から読み出される場合には、各サブフィールド毎、すなわちS_F0、S_F1、S_F2、S_F3、S_F4、S_F5、S_F6、S_F7に対応して、データ線1

14の駆動データである駆動データ信号D_sが、「0」、「0」、「1」、「1」、「0」、「0」、「0」、「0」の順に出力される。このようにして、i行j列における画素には、V_{i,j}で示される電圧が印加され、1フィールド期間（1f）において、図18における階調「5」となるよう階調表示される。次のフィールドでは、交流化信号F_Rがローであるので極性が反転して駆動されている。

【0082】図6において、1Vaは1サブフィールド分の画像データを転送し、画面に書き込む期間であり、本実施の形態では、サブフィールドS_F0が最小期間となるサブフィールドであるので、サブフィールドS_F0については1画面分の画像データをこのサブフィールドS_F0に相当する期間内に書き込んでしまえばよい。サブフィールドS_F1～S_F7についても、同様に、それぞれ、各サブフィールドにおいて、この1Vaの期間内に1画面分の画像データを書き込む。

【0083】駆動データ信号D_sは、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号とされる。これにより、画素への印加信号がオンまたはオフのみとなるので、素子特性や配線抵抗等の不均一性に起因する表示ムラが抑制される結果、高品質かつ高精細な階調表示が可能となる。本実施の形態に係る電子光学装置によれば、各フィールドを、1フィールドについて分割された複数のサブフィールドのうち最小期間となるサブフィールドが、前記画素を構成する電気光学材料をパルス幅変調した際における閾値期間とほぼ同程度としたので、サブフィールド駆動により階調表示を行う場合において、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したがって、表示容量の増大及び多階調化が可能となる。

【0084】また、本実施形態に係る電子光学装置によれば、1フィールド（1f）を、階調特性の電圧比率に応じてサブフィールドS_F0～S_F7に分割し、各サブフィールド毎に、画素にHレベルまたはLレベルを書き込んで、1フィールドにおける電圧実効値が制御される。このため、データ線114に供給されるデータ信号d₁～d_nは、本実施形態では、HレベルまたはLレベルのみであって、2値的であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることが可能となる。さらに、データ線114に供給されるデータ信号d₁～d_nは2値的であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。

このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

【0085】なお、上記実施形態にあっては、交流化駆動信号FRを1フィールドの周期でレベル反転することとしたが、本発明は、これに限られず、例えば、2フィールド以上の周期でのレベル反転やサブフィールド毎にレベル反転する構成としてもよい。

【0086】<液晶装置の全体構成>次に、上記実施形態や応用形態に係る電気光学装置の構造について、図19および図20を参照して説明する。ここで、図19は、電気光学装置100の構成を示す平面図であり、図20は、図19におけるA～A'線の断面図である。

【0087】これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が挟持された構造となっている。なお、実際には、シール材104には切欠部分があつて、ここを介して液晶105が封入された後、封止材により封止されるが、これらの図においては省略されている。

【0088】ここで、素子基板101を上述したように半導体基板とした場合、基板は不透明である。このため、画素電極118は、アルミニウムなどの反射性金属から形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板102は、ガラスなどから構成されるので透明である。もちろん、素子基板101をガラス等の透明な絶縁基板で構成しても構わない。このような透明の絶縁基板を用いた場合、画素電極を反射性金属により形成すれば反射型表示、それ以外の材質により形成すれば透過型表示とすることができる。

【0089】さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮光膜106が設けられている。この遮光膜106が形成される領域内のうち、領域130aには走査線駆動回路130が形成され、また、領域140aにはデータ線駆動回路140が形成されている。すなわち、遮光膜106は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜106には、対向電極108とともに、対向電極電位VLCCOMが印加される構成となっている。このため、遮光膜106が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極118の電圧無印加状態と同じ表示状態となる。

【0090】また、素子基板101において、データ線駆動回路140が形成される領域140a外側であつて、シール材104を隔てた領域107には、複数の接続端子が形成されて、外部からの制御信号や電源などを

入力する構成となっている。

【0091】一方、対向基板102の対向電極108は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材(図示省略)によって、素子基板101における遮光膜106および接続端子と電気的な導通が図られている。すなわち、対向電極電圧VLCCOMは、素子基板101に設けられた接続端子を介して、遮光膜106に、さらに、導通材を介して対向電極108に、それぞれ印加される構成となっている。

【0092】ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜(ブラックマトリクス)が設けられる。後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置100に光を対向基板102側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板101および対向基板102の電極形成面には、それぞれ所定の方向にラビング処理された配向膜(図示省略)などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板101の側には、配向方向に応じた偏光子(図示省略)が設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0093】また、実施形態においては、電気光学装置を構成する素子基板101を半導体基板とし、ここに、画素電極118に接続されるトランジスタ116や、駆動回路の構成素子などを、MOS型FETで形成したが、本発明は、これに限られない。例えば、素子基板101を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積して薄膜トランジスタ(TFT)を形成する構成としてもよい。このようにTFTを用いると、素子基板101として透明基板を用いることができる。

【0094】なお、液晶としては、TN型のほか、180度以上のねじれ配向を有するSTN(Super Twisted Nematic)型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いることもできる。

【0095】また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向(オメオトロピック配向)の構成としてもよいし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対し

て垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としてもよい。さらに、対向基板に対向電極を配置するのではなく、素子基板上に、画素電極と対向電極とを、互いに間隔を置いて櫛歯状に配置する構成としてもよい。この構成では、液晶分子が水平配向して、電極間による横方向の電界に応じて液晶分子の配向方向が変化することになる。このように、本発明の駆動方法に適合するものであれば、液晶や配向方式として、種々のものを用いることが可能である。

【0096】くわえて、電気光学装置としては、液晶装置のほかに、閾値特性を有する電気光学効果により構成された種々の電気光学装置に適用可能である。このように、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

【0097】<電子機器>次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0098】<その1：プロジェクタ>まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図21は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置している。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレータレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレータレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほほ揃った一種類の偏光光束（s偏光光束）に変換されて、偏光照明装置1110から出射されることとなる。

【0099】さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

【0100】このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤

色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光学装置100R、100Bおよび100Gには、ダイクロイックミラー1151、1152によって、R、G、Bの各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0101】なお、本実施形態においては、反射型の電気光学装置を用いたが、透過型表示の電気光学装置を用いたプロジェクタとしても構わない。

【0102】<その2：モバイル型コンピュータ>次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図22は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。

【0103】なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0104】<その3：携帯電話>さらに、上記電気光学装置を、携帯電話に連用した例について説明する。図23は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

【0105】なお、電子機器としては、図21～図23を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【0106】以上説明したように本発明によれば、データ線に印加される信号が2値化されて、高品位な階調表示が可能となる。

【0107】

【発明の効果】以上に説明したように、本発明によれば、各フィールドを、1フィールドについて分割された複数のサブフィールドのうち最小期間となるサブフィー

ルドが、前記画素を構成する電気光学材料をパルス幅変調した際ににおける閾値期間とほぼ同程度としたので、サブフィールド駆動により階調表示を行う場合において、表示素子の転送速度及び画素の選択時間を飛躍的に長くすることができ、また階調数を増加させても最小のサブフィールドの期間を殆ど短くする必要がなくなる。したがって、表示容量の増大及び多階調化が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る電気光学装置の電気的な構成を示すブロック図。

【図2】 図1に示した本発明の実施形態に係る電気光学装置の画素の一様様を示す回路図。

【図3】 (a)は図1に示した本発明の実施形態に係る電気光学装置におけるデータ線駆動回路の構成を示すブロック図、(b)はデータ線駆動回路のマルチプレクサ1440の機能を示す真理値表である。

【図4】 図1に示した本発明の実施形態に係る電気光学装置におけるデータ変換回路の具体的構成を示すブロック図。

【図5】 図1に示した本発明の実施形態に係る電気光学装置の動作を示すタイミングチャートである。

【図6】 ある画素に指定された階調データに対応する変換データが書き込まれる場合のタイミングの具体例を示すタイミングチャート。

【図7】 電気光学装置としての液晶装置における、ノーマリブラックモードの液晶に印加される実効電圧と液晶の透過率(または反射率)との関係を示す特性図。

【図8】 1000クロックの時間幅を1フィールドに相当させた場合における電気光学装置としての液晶装置における、液晶の書き込みパルス幅に対する相対透過率(反射率)を示す特性図。

【図9】 電気光学装置としての液晶装置における、液晶に印加する書き込みパルス幅に対する階調データの特性を示す特性図。

【図10】 図9に示す特性図における階調データが小さい部分を拡大した図。

【図11】 閾値を有し、かつ透過率の変化領域において透過率の変化量が書き込みパルス幅に対して線形的な特性を有する電気光学材料の書き込みパルス幅に対する階調データ(透過率)の特性を示す特性図。

【図12】 図9及び図10に示す特性図から、各階調に対応する書き込みパルス幅(PW)を求めてその関係をテーブルとして示した図。

【図13】 図12における各階調に対応する書き込みパルス幅に最も近い書き込みパルス幅を図17から選択して階調0から階調63まで割り当てることにより、階調と書き込みパルス幅との関係を示した図。

【図14】 図12と図13における各階調における書き込みパルス幅の差を各階調毎に示した図。

【図15】 1フィールドを構成する8個のサブフィールドSF0～SF7と各サブフィールドに割り当てられた書き込みパルス幅との関係の一例を示す図。

【図16】 1フィールドを構成する8個のサブフィールドSF0～SF7と各サブフィールドに割り当てられた書き込みパルス幅との関係の他の例を示す図。

【図17】 図15に示すサブフィールドSF0～SF7の各々に割り当てられた書き込みパルス幅に相当するクロック数を組み合わせた変換データと書き込みパルス幅との関係を示す図。

【図18】 図4に示すデータ変換回路におけるルックアップテーブルの内容を示す図。

【図19】 本実施の形態に係る電気光学装置の構造を示す平面図。

【図20】 本実施の形態に係る電気光学装置の構造を示す断面図。

【図21】 本実施の形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図。

【図22】 本実施の形態に係る電気光学装置を適用した電子機器の一例たるパソコンコンピュータの構成を示す斜視図。

【図23】 本実施の形態に係る電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図。

【符号の説明】

100 電気光学装置

101 素子基板

30 101a 表示領域

102 対向基板

105 液晶(電気光学材料、電気光学素子)

108 対向電極

112 走査線

114 データ線

116 パソコン(スイッチング素子)

118 画素電極

119 蓄積容量

130 走査線駆動回路

40 140 データ線駆動回路

1410 Xシフトレジスタ

1420 第1のラッチ回路

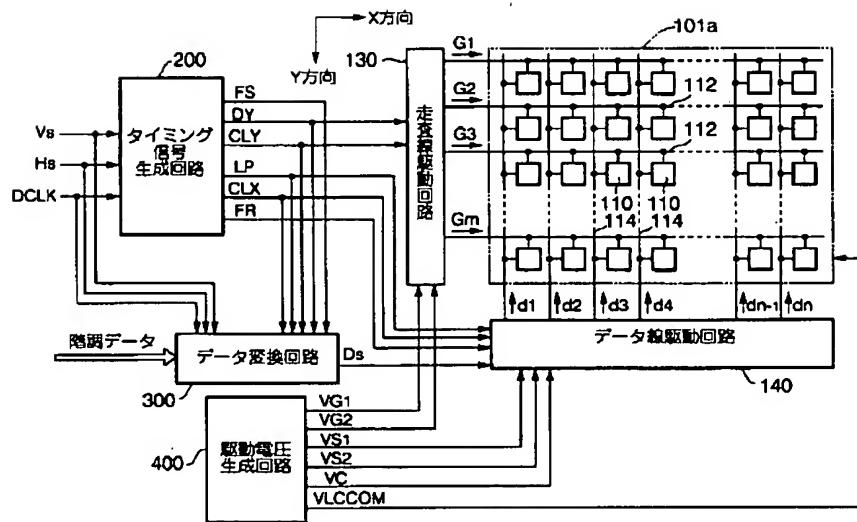
1430 第2のラッチ回路

200 タイミング信号生成回路

300 データ変換回路

400 駆動電圧生成回路

【図1】

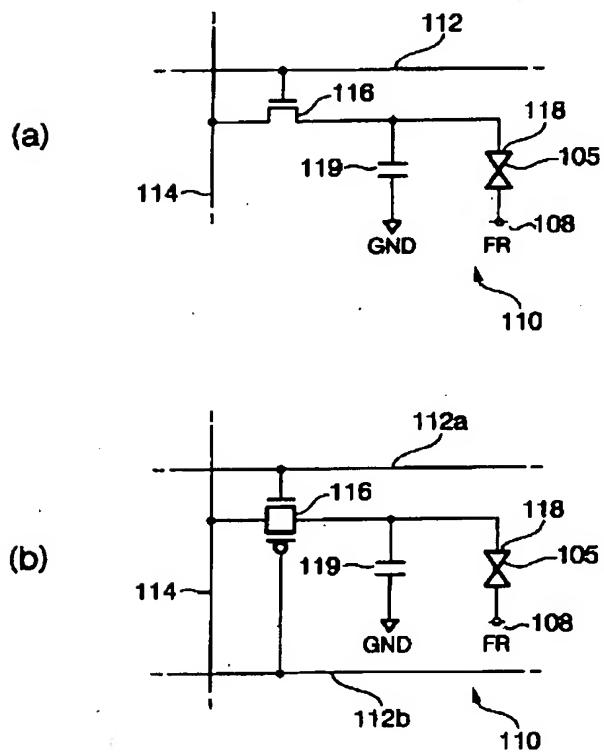


【図15】 【図16】

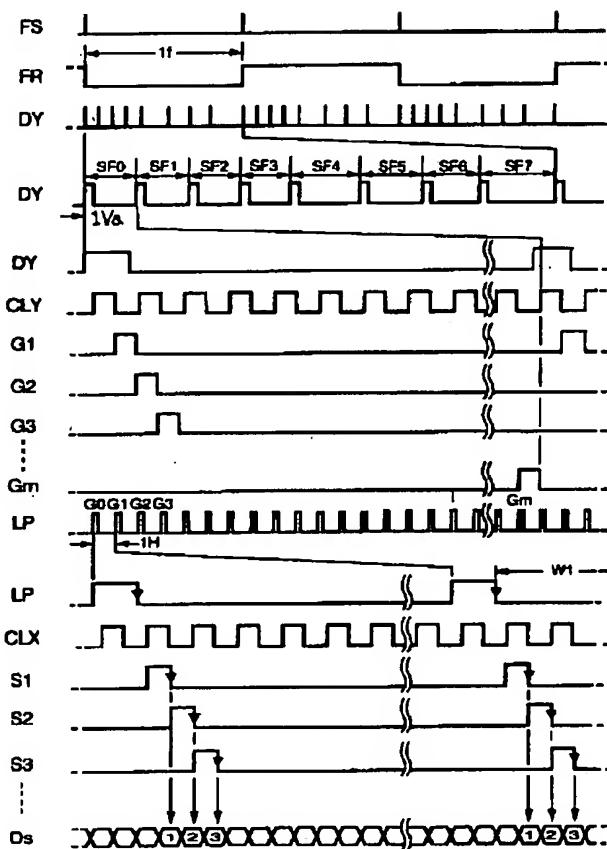
SF0	81
SF1	100
SF2	109
SF3	121
SF4	134
SF5	140
SF6	154
SF7	161
合計	1000

SF0	80
SF1	100
SF2	110
SF3	123
SF4	130
SF5	142
SF6	150
SF7	165
合計	1000

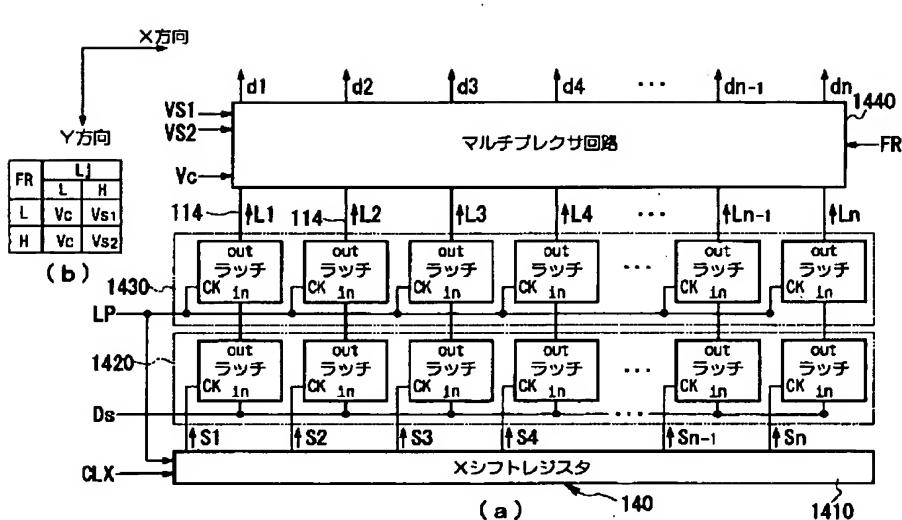
【図2】



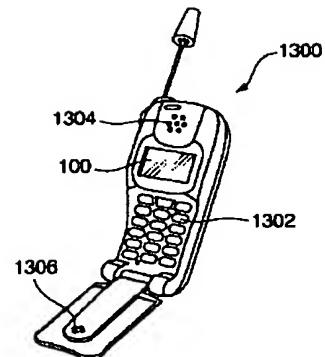
【図5】



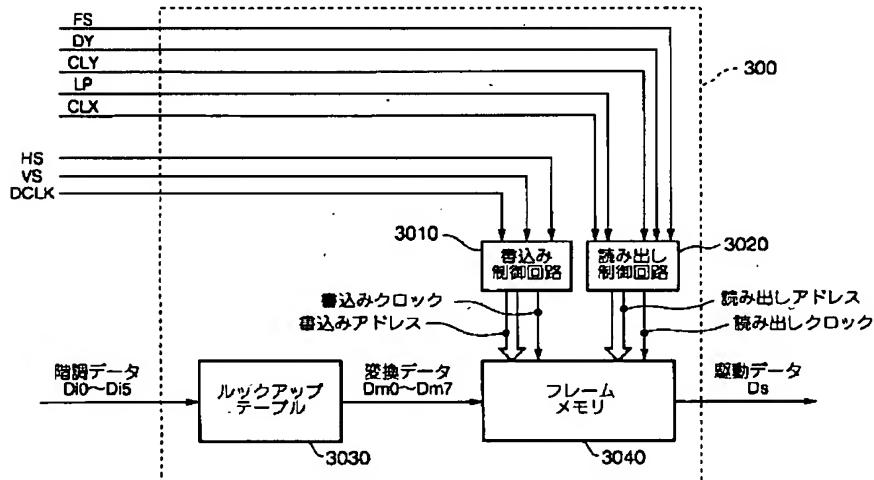
【図3】



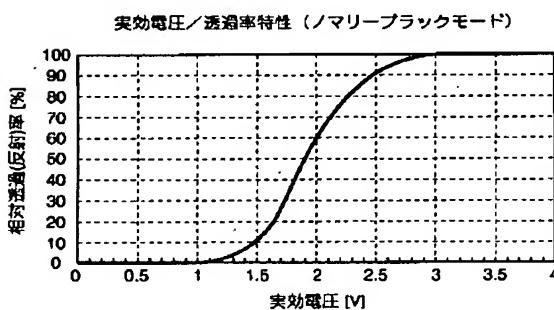
【図23】



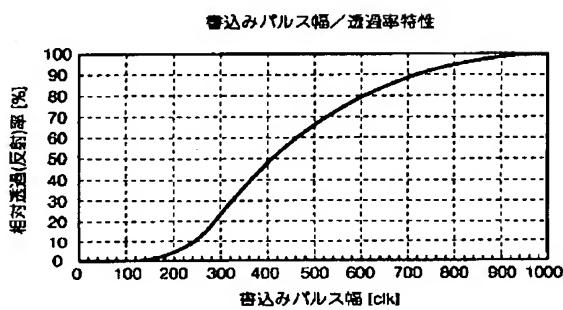
【図4】



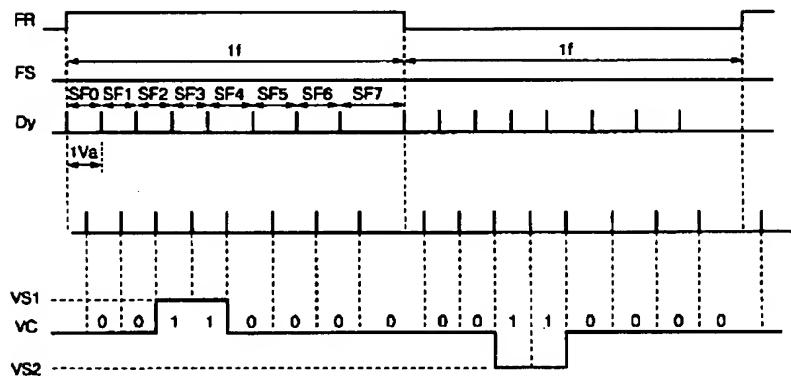
【図7】



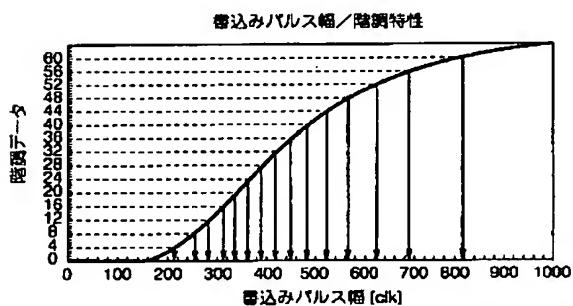
【図8】



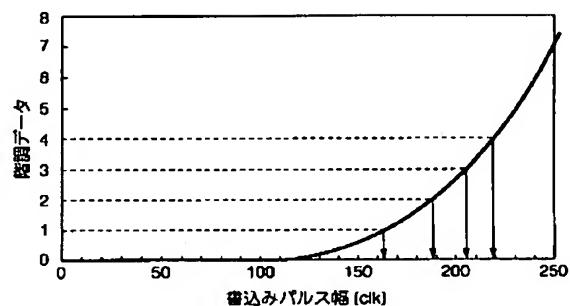
【図6】



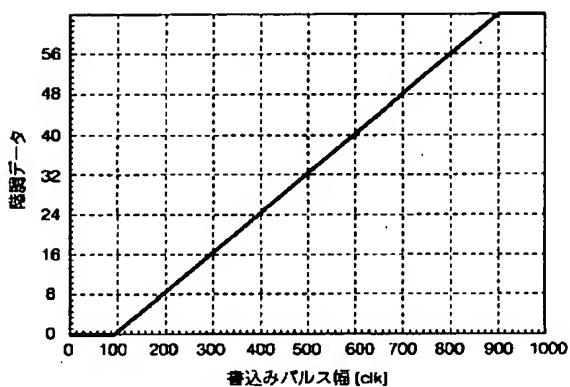
【図9】



【図10】



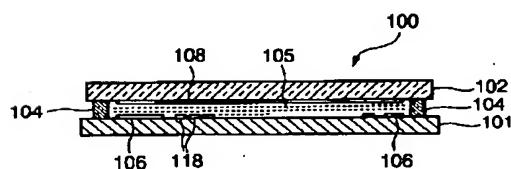
【図11】



【図12】

階調	PW	階調	PW	階調	PW	階調	PW
0	0	16	315	32	420	48	576
1	160	17	321	33	426	49	591
2	190	18	328	34	435	50	606
3	200	19	334	35	443	51	620
4	220	20	340	36	450	52	635
5	230	21	348	37	459	53	653
6	240	22	355	38	468	54	672
7	250	23	363	39	476	55	690
8	260	24	370	40	485	56	708
9	268	25	376	41	496	57	734
10	275	26	383	42	507	58	750
11	283	27	389	43	517	59	785
12	290	28	396	44	528	60	810
13	296	29	401	45	540	61	873
14	303	30	408	46	552	62	937
15	309	31	414	47	564	63	1000

【図20】



【図13】

階調	PW	階調	PW	階調	PW	階調	PW
0	0	16	315	32	422	48	576
1	161	17	321	33	428	49	591
2	190	18	330	34	435	50	606
3	202	19	335	35	444	51	618
4	221	20	342	36	451	52	636
5	230	21	349	37	456	53	651
6	240	22	356	38	469	54	670
7	249	23	363	39	476	55	689
8	261	24	370	40	485	56	710
9	270	25	378	41	496	57	737
10	275	26	383	42	505	58	760
11	282	27	388	43	517	59	785
12	290	28	395	44	528	60	810
13	295	29	401	45	537	61	879
14	301	30	409	46	551	62	919
15	311	31	415	47	564	63	1000

【図14】

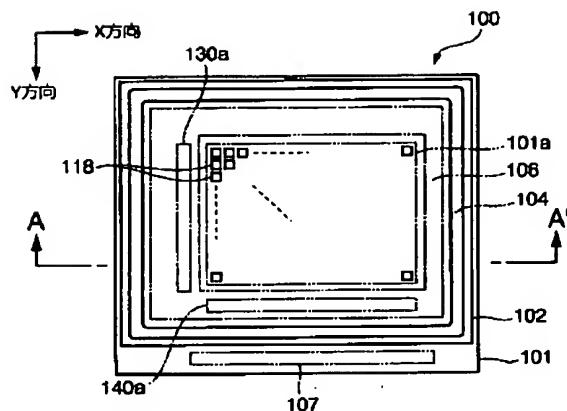
階調	PW	階調	PW	階調	PW	階調	PW
0	0.0	16	0.0	32	-2.0	48	0.0
1	-1.0	17	0.3	33	-0.5	49	-0.3
2	0.0	18	-2.5	34	0.0	50	-0.5
3	-2.0	19	-1.3	35	-1.5	51	2.3
4	-1.0	20	-2.0	36	-1.0	52	-1.0
5	0.0	21	-1.5	37	2.8	53	2.3
6	0.0	22	0.0	38	-1.5	54	1.5
7	1.0	23	-0.5	39	0.3	55	0.8
8	-1.0	24	0.0	40	0.0	56	-2.0
9	-2.5	25	0.3	41	-0.3	57	-3.5
10	0.0	26	-0.5	42	1.5	58	-1.0
11	0.5	27	0.8	43	0.3	59	-0.5
12	0.0	28	0.0	44	0.0	60	0.0
13	1.3	29	0.3	45	3.0	61	-5.7
14	1.5	30	-1.5	46	1.0	62	17.7
15	-2.3	31	-1.3	47	0.0	63	0.0

【図17】

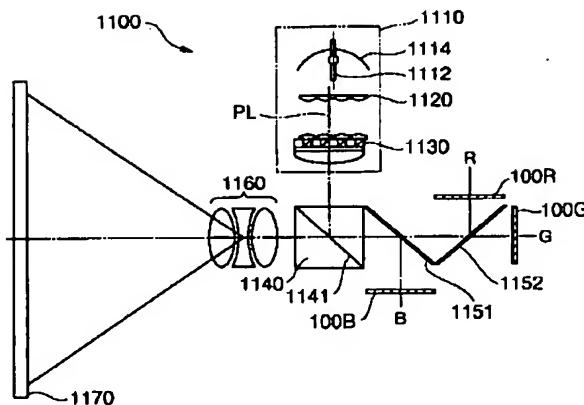
変換データ	PW	変換データ	PW	変換データ	PW	変換データ	PW
00000000	0	01001010	375	01100110	503	11001101	626
00000001	81	01100001	375	01111001	504	11010011	630
00000010	100	10010001	375	10100110	504	10101010	631
00000010	100	10001010	382	10100110	504	11001010	636
00000010	120	10100100	382	10100110	504	11001010	637
00000010	134	10100100	382	01011010	508	01101010	637
00100000	140	01001100	384	01100001	508	10110001	637
01000000	164	01001010	388	10100110	510	11010101	639
10000000	161	10001100	391	01100100	515	10101010	644
00000011	181	01000010	394	10011010	516	11001100	645
00000010	190	00111100	395	10011001	516	11100101	645
00000100	205	10001010	398	10100100	518	11011001	651
00000100	205	10000010	398	01011000	518	11011001	651
00001001	215	01010100	397	10101010	522	11101101	656
00001010	221	10000100	401	01101100	524	11101001	657
00100001	221	01100100	403	11000110	524	01110100	658
00010001	230	10010100	404	10011100	525	11010110	658
00010010	230	10101000	409	10110010	528	11100110	662
01000000	235	10100100	410	10101000	529	10111010	665
00010001	243	01010100	415	10101010	535	11100001	670
00010100	243	11000010	415	11001010	538	11101010	676
00100010	249	10011000	416	11000001	538	11011100	679
01000010	256	10101000	422	01110100	537	01111111	685
00011000	255	00101011	424	10110100	544	11101000	685
00101000	261	11001000	424	00111111	545	11110000	686
01000000	261	01001000	426	01011100	549	11011000	686
01000000	263	00100111	426	01111000	549	01010111	690
00000101	270	10100000	435	11010010	549	01101111	705
00000000	274	00010111	436	00101111	551	10011111	706
00010000	275	11000100	436	11000010	555	11111000	710
10001000	282	00101011	442	11011000	558	10101111	712
00101000	288	01000111	444	11010100	558	01101111	718
00000000	296	00010111	444	01011111	560	01101111	725
01000000	294	11000000	449	11001000	564	11001111	726
01000000	295	00101101	451	01001111	565	01111011	730
10100000	301	10000111	451	10011000	570	10110111	737
00001011	303	00110011	456	10001111	572	01111101	739
00001101	311	11000000	456	00110111	576	11010111	739
00001001	315	01001011	456	11010100	578	11000111	745
10000000	315	00010111	458	01011111	579	01101101	751
00000000	324	00010110	458	01011111	584	11011011	751
00010101	324	01010101	464	00111101	585	11010111	757
00001110	330	01001001	465	10001011	585	01111110	758
00010010	330	01010011	469	11000000	586	11011101	760
00000011	335	00101100	470	01010111	591	10111110	765
00101001	342	01000011	475	01010111	595	11010111	770
00001010	343	10010011	478	01011101	599	11101011	778
01000010	344	01010101	478	10101011	603	11011101	785
00100010	349	10100011	482	00111110	604	11111001	791
10000010	351	00101010	483	10011011	605	11111010	798
00011001	356	01000110	484	10011101	606	111111010	810
00100100	356	00101001	484	00111101	606	11111100	819
00001000	357	00101001	484	00111101	606	01111111	830
00000100	357	00101001	486	00111101	606	01111111	836
01000000	363	10010010	491	10101011	616	10111111	860
00011100	364	00111100	495	01011100	618	11011111	866
01010001	369	01101001	496	01101001	618	11111011	879
00101000	370	11000011	496	01101001	618	11111011	891
00001000	370	01010100	497	10011010	624	111111010	900
00110010	374	10011001	497	10110101	626	111111111	918

階調	変換データ	階調	変換データ
0	00000000	32	10101000
1	10000000	33	01110000
2	00000101	34	10110000
3	00001001	35	01000111
4	00001010	36	00101101
5	00001100	37	01001011
6	00100010	38	01010011
7	00100100	39	00111100
8	00101000	40	10010101
9	10000100	41	01101001
10	01001000	42	11000101
11	10001000	43	11001001
12	00000111	44	01110010
13	10010000	45	01110100
14	10100000	46	00101111
15	00000101	47	01010111
16	00010011	48	00110111
17	00100011	49	10100111
18	00001110	50	10011101
19	01000011	51	01011110
20	00101001	52	11000011
21	00100110	53	11011001
22	00011010	54	11011010
23	01000110	55	11110010
24	00101100	56	11111000
25	00101100	57	10111011
26	00111100	58	11011101
27	01010010	59	11101110
28	00111000	60	11111010
29	10100010	61	11110111
30	01011000	62	11111110
31	01010100	63	11111111

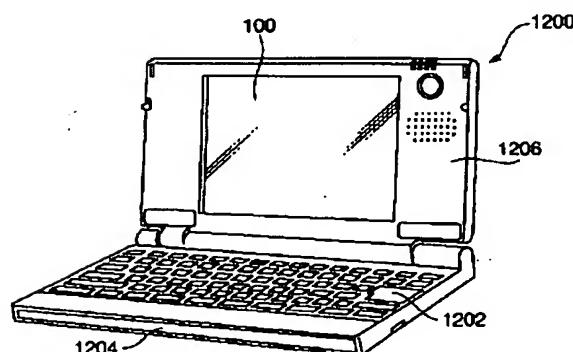
【図19】



【図21】



【図22】



フロントページの続き

(51) Int.C1.⁷

G 0 9 G 3/20

識別記号

6 4 1

6 4 2

F I

G 0 9 G 3/20

テーマコード^{*} (参考)

6 4 1 A

6 4 2 A

(72) 発明者 小澤 裕

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(72) 発明者 石井 良

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

F ターム(参考) 2H093 NA16 NA33 NA51 NB21 NC03

NC22 NC24 NC26 NC29 NC34

ND05 ND06

5C006 AA14 AA15 AA22 AC02 AF44

AF51 BB16 BC03 BC06 BC13

EC05 EC11 EC13 FA25 FA37

FA56

5C080 AA10 BB05 CC03 DD05 DD30

EE29 FF07 JJ01 JJ02 JJ03

JJ04 JJ05 JJ06 KK02 KK07

KK43